

(Partial Translation)

(19) Japanese Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication No.: 11109369 A

(43) Date of publication: 23.04.99

(22) Date of filing: 30.09.97

(54) [Title of the invention]

LIQUID CRYSTAL DISPLAY DEVICE

Page 4, 1st column, lines 24-41 (paragraph 0018)

[0018]

In the present invention, in order to make the signal delay at the wiring terminal be small and to make the voltage difference of the penetrate voltage at each pixel be small, the capacitance formed between the opposite electrode masked the pillar spacer and the wiring corresponding to the pillar spacer is controlled as becoming larger up to the area of the signal supply end (signal voltage source end) and as becoming smaller up to the terminal end. In another word, regarding the capacitance formed by locating the pillar spacer at the opposite electrode on the gate lines and the signal lines, the capacitance of the signal supply end (signal voltage source end) on the gate lines and the signal lines is larger than that of the terminal end. In order to control the capacitance, the conventional LCD employs the pillar spacers having the constant cross section and arrays these at constant interval, in contrast, in the present invention, the capacitance formed between the opposite electrode masked the pillar spacer and the wiring corresponding to the pillar spacer is controlled as becoming larger up to the area of the signal supply end and as becoming smaller up to the terminal end and signal delay become small at the wiring end by distributing the its cross section or density of each pillar spacer.



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11109369 A

(43) Date of publication of application: 23.04.99

(51) Int. Cl

G02F 1/1339

G02F 1/136

(21) Application number: 09266011

(22) Date of filing: 30.09.97

(71) Applicant: TOSHIBA CORP

(72) Inventor: TAKEBAYASHI KISAKO

(54) LIQUID CRYSTAL DISPLAY DEVICE

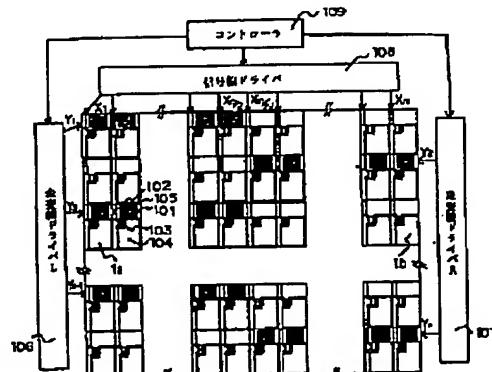
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device capable of displaying a superior picture by classifying a spacer group into a first group having a first cross section and a second group having a smaller cross section.

SOLUTION: At the time of cutting a spacer group on a plane parallel to a first substrate, it is classified into a first group having the first cross section and a second group having the second cross section smaller than the first, with the first group arranged at the signal supply end of a first or a second driver. A columnar spacer 105 is arranged on a scanning line 101 through a gate insulating film and a protective film; in the scanning line odd-numbered sequentially, the spacer is arranged in the pixel connected to a signal line $X_1, \dots, X_{m/2}$ situated in the left half of the display panel while, in the scanning line even-numbered sequentially, the spacer is arranged in the pixel connected to a signal line $X_{(m/2)+1}, \dots, X_m$ situated in the right half of the display panel. The cross section of the columnar spacer 105 is made twice as large as that of a conventional columnar spacer, equalizing the

cross section of the columnar spacer to a conventional liquid crystal device in the entire display panel.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-109369

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl. ⁶	識別記号	F I
G 02 F 1/1339	5 0 0	G 02 F 1/1339
1/136	5 0 0	1/136

審査請求 未請求 請求項の数 3 O L (全 8 頁)

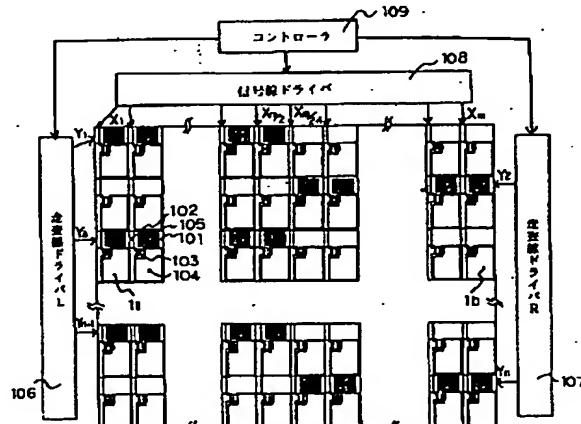
(21)出願番号	特願平9-266011	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成9年(1997)9月30日	(72)発明者	竹林 希佐子 埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷電子工場内
		(74)代理人	弁理士 須山 佐一

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 配線時定数に起因した配線方向の輝度ムラを解消し、高コントラストで均一性に優れた画像を表示する液晶表示装置を提供すること。

【解決手段】 各々の柱状のスペーサの断面積あるいは密度に分布を持たせることで、柱状のスペーサを被覆した対向電極と柱状のスペーサと対応する配線との間で形成される容量が、該配線の信号電圧給電側に近い領域ほど大きく、終端側では小さくなるように設定し配線終端部での信号遅延を低減させる。



【特許請求の範囲】

【請求項1】 走査線群および信号線群がマトリクス状に配設されるとともに、前記走査線群および信号線群の各交点部分にスイッチング素子を介して接続された画素電極を備えた第1の基板と、前記画素電極に対し液晶層を介して対向配置される対向電極を備えた第2の基板と、前記対向電極に被覆され前記第1および第2の基板の間隔を保持する柱状のスペーサ群と、前記走査線群にアドレス信号を供給する第1のドライバと、前記信号線群に並列表示信号を供給する第2のドライバとを具備した液晶表示装置において、

前記スペーサ群を前記第1の基板に平行な面で切断したとき、前記スペーサ群は第1の断面積を有する第1の群と前記第1の断面積より小さな第2の断面積を有する第2の群とに分類され、前記第1の群は前記第1または第2のドライバの信号供給端に配置されたことを特徴とする液晶表示装置。

【請求項2】 走査線群および信号線群がマトリクス状に配設されるとともに、前記走査線群および信号線群の各交点部分にスイッチング素子を介して接続された画素電極を備えた第1の基板と、前記画素電極に対し液晶層を介して対向配置される対向電極を備えた第2の基板と、前記対向電極に被覆され前記第1および第2の基板の間隔を保持する柱状のスペーサ群と、前記走査線群にアドレス信号を供給する第1のドライバと、前記信号線群の一部に並列表示信号を供給する第2のドライバと、前記信号線群の他の一部に並列表示信号を供給する第3のドライバとを具備した液晶表示装置において、

前記スペーサ群を前記第1の基板に平行な面で切断したとき、前記スペーサ群は第1の断面積を有する第1の群と前記第1の断面積より小さな第2の断面積を有する第2の群とに分類され、前記第1の群の一部は前記第1または第2のドライバの信号供給端に配置され、前記第1の群の他の一部は前記第1または第3の信号供給端に配置されたことを特徴とする液晶表示装置。

【請求項3】 走査線群および信号線群がマトリクス状に配設されるとともに、前記走査線群および信号線群の各交点部分にスイッチング素子を介して接続された画素電極を備えた第1の基板と、前記画素電極に対し液晶層を介して対向配置される対向電極を備えた第2の基板と、前記対向電極に被覆され前記第1および第2の基板の間隔を保持する柱状のスペーサ群と、前記走査線群にアドレス信号を供給する第1のドライバと、前記信号線群に並列表示信号を供給する第2のドライバとを具備した液晶表示装置において、

前記スペーサ群の密度が、前記第1または第2のドライバの信号供給端ほど高いことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に関する。

【0002】

【従来の技術】 近年、コンピュータを中心とする情報機器分野やテレビ等を中心とする映像機器分野において、大型で高精細な画像が表示されるアクティブマトリクス型の液晶表示装置が開発されている。アクティブマトリクス型の液晶表示装置は、走査線および信号線をマトリクス状に配設し、その各交点にアクティブ素子を形成したアレイ基板、対向電極および赤(R)、緑(G)、青(B)の着色層を有する対向基板、アレイ基板と対向基板間に挟持された液晶層および該基板間の距離を一定に保つためのスペーサを備えている。

【0003】 従来、上記スペーサには、均一な粒径を有するプラスチックビーズが用いられてきたが(ミクロパール方式)、該プラスチックビーズを有する液晶表示装置においては、該プラスチックビーズの周辺の光漏れによるコントラストの低下および該プラスチックビーズの散布むらに起因する表示むらが生じるという問題があるため、該スペーサに代わり、最近では、上記着色層を積層した柱状スペーサが用いられている。

【0004】

【発明が解決しようとする課題】 ところで、上記柱状スペーサは、コントラストが高く表示むらの生じない表示が得られるという点で、プラスチックビーズを有する液晶表示装置に比べて優れているが、一方では、柱状スペーサの表面に設けられた対向電極と走査線との間に容量が存在するため、上記ミクロパール方式に比べ走査線時定数が大きくなる。ここで、図4に、柱状スペーサを有するアクティブマトリクス型液晶表示装置の一構成例を示す。また、図5に、該液晶表示装置の1画素に相当する部分の拡大図を、図6に、柱状スペーサ付近の断面図を示す。

【0005】 図4および図5に示したように、液晶表示装置の画素領域部にはマトリクス状に走査線301および信号線302が配設され、その各交差部の付近にTF T303および画素電極304が形成されている。また、走査線301および信号線302は、それぞれ表示パネルの片側に搭載された走査線ドライバ313および信号線ドライバ314により駆動されており、走査線ドライバ313および信号線ドライバ314はコントローラ315により制御されている。さらに、前記走査線301上には柱状スペーサ305が設置されている。

【0006】 図6に示すように、柱状スペーサ305は、対向基板316の遮光層306上に着色層R307、着色層G308および着色層B309を積層して形成されており、その表面は対向電極310で覆われている。一方、アレイ基板317上に形成された走査線301上には、ゲート絶縁膜311および保護膜312が形成されている。したがって、対向電極310と走査線3

0 1との間には容量C_{pole}が形成される。

【0 0 0 7】図7および図8に、図4に示した液晶表示装置において、走査線3 0 1の信号供給端に位置する画素3 aおよび終端に位置する画素3 bにおけるHコモン反転駆動時の駆動電圧波形図をそれぞれ示す。

【0 0 0 8】図7に示したように、画素3 aにおいて走査線3 0 1に走査信号4 0 1が印加された場合、TFT 3 0 3は、走査信号電圧にしたがって、時刻t 1でON状態となって画素に信号電圧4 0 2を書き込み、時刻t 2でOFF状態になる。この瞬間に、画素電位4 0 3は寄生容量を介して ΔV_d だけ低下する。その後、図中では省略したが極性反転した信号電圧が書き込まれる時にも同様の現象が起こる。この現象は、一般に突き抜け電圧現象と呼ばれ、画素電位の低下電圧は突き抜け電圧と呼ばれる。通常は、突き抜け電圧に相当する分だけ対向電極電圧4 0 4のセンター値($V_{com.c}$)を信号電圧のセンター値($V_{sig.c}$)より低く設定することで、正書き込み時と負書き込み時の電圧バランスを補正している。

【0 0 0 9】しかし、図8に示すように、画素3 bにおいては、配線時定数に起因して走査線波形4 0 5が遅延しているために、時刻t 2'でTFTは完全なOFF状態にならず、その後も画素への信号電圧書き込みが続く。そのため、画素3 bにおける画素電位4 0 6は時刻t 2'でなだらかに低下し、突き抜け電圧 $\Delta d'$ は画素3 aと異なることになる。図9に、比較のため突き抜け電圧現象付近の画素3 aおよび画素3 bにおける電圧波形の拡大図を重ねて示す。

【0 0 1 0】したがって、前述した対向電極電圧のセンター値の設定による補正是完全ではなく、液晶に印加される電圧の違いにより、表示画面に輝度ムラを生じたり、さらには残像や焼き付きが生じるという問題があった。また、液晶に印加される電圧の違いは走査線時定数が大きい場合はほど大きく、従来のミクロバール方式には存在し得ない容量C_{pole}を有するスペーサ方式は、表示画面に輝度ムラを生じたり、残像や焼き付きが生じるという問題を生じやすい。

【0 0 1 1】本発明は、上記従来例に鑑みてなされたもので、配線時定数に起因した配線方向の輝度ムラを解消し、高コントラストで均一性に優れた画像を表示する液晶表示装置を提供することを目的とする。

【0 0 1 2】

【課題を解決するための手段】本発明に係る液晶表示装置は、走査線群および信号線群がマトリクス状に配設されるとともに、前記走査線群および信号線群の各交点部分にスイッチング素子を介して接続された画素電極を備えた第1の基板と、前記画素電極に対し液晶層を介して対向配置される対向電極を備えた第2の基板と、前記対向電極に被覆され前記第1および第2の基板の間隔を保持する柱状のスペーサ群と、前記走査線群にアドレス信号

号を供給する第1のドライバと、前記信号線群に並列表示信号を供給する第2のドライバとを具備した液晶表示装置において、前記スペーサ群を前記第1の基板に平行な面で切断したとき、前記スペーサ群は第1の断面積を有する第1の群と前記第1の断面積より小さな第2の断面積を有する第2の群とに分類され、前記第1の群は前記第1または第2のドライバの信号供給端に配置されたことを特徴としている。

【0 0 1 3】本発明に係る液晶表示装置によれば、第1および第2の基板の間隔を保持する柱状のスペーサ群を第1の基板に平行な面で切断したとき、スペーサ群は第1の断面積を有する第1の群と第1の断面積より小さな第2の断面積を有する第2の群とに分類され、該第1の群を第1または第2のドライバの信号供給端に配置したことにより、第1および第2の基板の間隔を保持する柱状のスペーサ群を被覆した対向電極と信号線群または走査線群とにより形成される容量に基づく信号の遅延を低減できるので、配線時定数に起因した配線方向の輝度ムラを解消し、高コントラストで均一性に優れた画像を表示することが可能となる。

【0 0 1 4】また、本発明に係る液晶表示装置は、走査線群および信号線群がマトリクス状に配設されるとともに、前記走査線群および信号線群の各交点部分にスイッチング素子を介して接続された画素電極を備えた第1の基板と、前記画素電極に対し液晶層を介して対向配置される対向電極を備えた第2の基板と、前記対向電極に被覆され前記第1および第2の基板の間隔を保持する柱状のスペーサ群と、前記走査線群にアドレス信号を供給する第1のドライバと、前記信号線群の一部に並列表示信号を供給する第2のドライバと、前記信号線群の他の一部に並列表示信号を供給する第3のドライバとを具備した液晶表示装置において、前記スペーサ群を前記第1の基板に平行な面で切断したとき、前記スペーサ群は第1の断面積を有する第1の群と前記第1の断面積より小さな第2の断面積を有する第2の群とに分類され、前記第1の群の一部は前記第1または第2のドライバの信号供給端に配置され、前記第1の群の他の一部は前記第1または第3の信号供給端に配置されたことを特徴としている。

【0 0 1 5】本発明に係る液晶表示装置によれば、第1および第2の基板の間隔を保持する柱状のスペーサ群を第1の基板に平行な面で切断したとき、スペーサ群は第1の断面積を有する第1の群と第1の断面積より小さな第2の断面積を有する第2の群とに分類され、該第1の群の一部を第1または第2のドライバの信号供給端に配置し、該第1の群の他の一部を第1または第3のドライバの信号供給端に配置したことにより、第1および第2の基板の間隔を保持する柱状のスペーサ群を被覆した対向電極と信号線群または走査線群とにより形成される容量に基づく信号の遅延を低減できるので、配線時定数に

起因した配線方向の輝度ムラを解消し、高コントラストで均一性に優れた画像を表示することが可能となる。

【0016】さらに、本発明に係る液晶表示装置は、走査線群および信号線群がマトリクス状に配設されるとともに、前記走査線群および信号線群の各交点部分にスイッチング素子を介して接続された画素電極を備えた第1の基板と、前記画素電極に対し液晶層を介して対向配置される対向電極を備えた第2の基板と、前記対向電極に被覆され前記第1および第2の基板の間隔を保持する柱状のスペーサ群と、前記走査線群にアドレス信号を供給する第1のドライバと、前記信号線群に並列表示信号を供給する第2のドライバとを具備した液晶表示装置において、前記スペーサ群の密度が、前記第1または第2のドライバの信号供給端ほど高いことを特徴としている。

【0017】本発明に係る液晶表示装置によれば、第1および第2の基板の間隔を保持する柱状のスペーサ群の密度を第1または第2のドライバの信号供給端ほど高めたことにより、第1および第2の基板の間隔を保持する柱状のスペーサ群を被覆した対向電極と信号線群または走査線群とにより形成される容量に基づく信号の遅延を低減できるので、配線時定数に起因した配線方向の輝度ムラを解消し、高コントラストで均一性に優れた画像を表示することが可能となる。

【0018】本発明においては、配線終端部での信号遅延を低減し、各画素における突き抜け電圧の電圧差が小さくなるよう、柱状のスペーサを被覆した対向電極と柱状のスペーサと対応する配線との間で形成される容量を、該配線の信号供給端（信号電圧供給側）に近い領域ほど大きく、終端側で小さくなるよう積極的に制御している。すなわち、走査線または信号線上に、対向電極により被覆された柱状のスペーサを配置することにより形成される容量値を、走査線あるいは信号線の信号供給端（信号電圧供給端）の方がその終端側より大きくなるように制御している。そして、該容量値を制御するためには、従来は、断面積が一定の柱状のスペーサを一定の間隔で配設していたが、本発明では、各々の柱状のスペーサの断面積あるいは密度に分布を持たせることで、柱状のスペーサを被覆した対向電極と柱状のスペーサと対応する配線との間で形成される容量が、該配線の信号供給端側に近い領域ほど大きく、終端側では小さくなるよう設定し配線終端部での信号遅延を低減させている。

【0019】本発明において、断面積の異なる2種類以上が存在する柱状のスペーサ群を形成した場合には、走査線あるいは信号線の信号電圧供給端に近い画素ほど柱状のスペーサの断面積が大きくなるように構成してもよいし、該条件の下で、柱状のスペーサ群を走査線あるいは信号線の信号供給端に近い画素にのみ設置するようにしてもよい。また、柱状のスペーサが設置されている画素の数が、設置されていない画素の数よりも少なくなるように構成してもよい。このとき、柱状のスペーサ群の

断面積の総和は、第1および第2の基板の間隔が十分に保持されるように決定される。

【0020】さらに、スペーサ群の密度を第1または第2のドライバの信号供給端ほど高めた場合には、各々の柱状のスペーサの断面積を同一とし、隣接する柱状のスペーサ間の距離を走査線あるいは信号線の信号供給端側の方が終端側よりも短くなるようにしてもよいし、各々の柱状のスペーサの断面積を2種類以上に変化させ、隣接する柱状のスペーサ間の距離を走査線あるいは信号線の信号供給端側の方が終端側よりも短くなるようにしてもよい。また、上記の条件の下で、柱状のスペーサが設置されている画素の数が、設置されていない画素の数よりも少なくなるように構成してもよい。

【0021】

【発明の実施の形態】以下、本発明に係る実施の形態を図面を用いて説明する。

【0022】図1は、第1の実施の形態に係るアクティブマトリクス型液晶表示装置の構成を示した図である。

【0023】図1に示したように、各画素領域部には、マトリクス状に走査線101および信号線102が配置され、これらの各交差部付近にはTFT103および画素電極104が形成されている。また、奇数本目に相当する走査線（Y1、Y3……、Yn-1）は走査線ドライバL106に接続されており、偶数本目に相当する走査線（Y2、……、Yn）は走査線ドライバR107に接続されている。また、信号線（X1、……、Xm）は全て信号線ドライバ108に接続されており、各ドライバはいずれもコントローラ109より制御されている。

【0024】一方、柱状スペーサ105は、走査線10

30上に不図示のゲート絶縁膜および保護膜を介して設置されており、奇数本目に相当する走査線では、表示パネルの左半分に位置する信号線（X1、……、Xm/2）に接続された画素に配置され、偶数本目に相当する走査線では表示パネルの右半分に位置する信号線（X(m/2)+1、……、Xm）に接続された画素に配置されている。また、柱状スペーサ105の断面積は、上記図4に示した柱状スペーサ305の断面積の2倍にし、表示パネル全体での柱状スペーサの断面積が図4に示した液晶表示装置と等しくなるようにした。

【0025】ここで、図2に、図1に示した液晶表示装置を駆動させたとき、画素1aおよび画素1bにおける突き抜け電圧付近の電圧波形の拡大図を重ねて示す。図2において、波形111は画素1aにおける画素電位、波形112は画素1bにおける画素電位である。また、波形113は、図4に示した液晶表示装置の画素3bにおける画素電位である。

【0026】図2から明らかなように、走査線の終端部に位置する画素1bと画素3bであるが、画素3bと比較して画素1bにおける突き抜け電圧値が小さいため50に、走査線の信号供給端に位置する画素1aと終端に位

置する画素1 bとにおける突き抜け電圧差も小さく液晶に均等な電圧が印加されている。これは、従来、柱状スペーサと走査線との間に形成される容量が走査線上に均等に配置されているのに対し、本実施の形態では、柱状スペーサと走査線との間に形成される容量が走査線の信号供給端では大きく終端では小さくなるように、走査線全体での容量値は一定にして分布を持たせているためである。一般に、信号遅延は信号進行方向に存在する負荷容量の影響を受けるため、信号進行方向に向かって負荷容量が小さくなるよう容量に分布を持たせることで、総容量値を変えずに走査線の終端での遅延の程度を小さくすることができる。

【0027】ここで、本実施の形態に係る液晶表示装置に画像を表示させ、性能評価を行ったところ、走査線方向における輝度差は確認されず、高コントラストで均一性に優れた画像を表示することができた。

【0028】また、走査線ドライバL106および走査線ドライバR107を用いて走査線1ラインおきに両側駆動したことにより、柱状スペーサを均等に配置することができたので、セルギャップも均一に保たれることになった。

【0029】図3は、第2の実施の形態に係るアクティマトリクス型液晶表示装置の構成を示した図である。柱状スペーサの形状、配置に関する以外の構成は、上記実施の形態と同様であるので、ここでは説明を省略する。

【0030】本実施の形態に係る液晶表示装置においては、断面積の異なる3種類の柱状スペーサ110a～110cが用いられている。すなわち、奇数本目に相当する走査線においては、信号線(X1、……、Xm/3)に接続された画素に柱状スペーサ110aが、信号線(X(m/3)+1、……、X2m/3)に接続された画素には柱状スペーサ110bが、信号線(X(2m/3)+1、……、Ym)に接続された画素には柱状スペーサ110cが設置されている。一方、偶数本目に相当する走査線では、逆に、信号線(X1、……、Xm/3)に接続された画素には柱状スペーサ110cが、信号線(X(m/3)+1、……、X2m/3)に接続された画素には柱状スペーサ110bが、信号線(X2(m/3)+1、……、Xm)に接続された画素には柱状スペーサ110aが設置されている。また、柱状スペーサ110a～110cの断面積は110a>110b>110cとなっており、断面積の関係が(スペーサ110a+スペーサ110c)/2=スペーサ110bとなるようにした。

【0031】次に、本実施の形態に係る液晶表示装置を駆動して画像を表示させ、図4に示したように、表示パネル全体における柱状スペーサの密度が等しい液晶表示装置と画像の比較を行ったところ、第1の実施の形態と同様に、走査線の信号供給端に位置する画素1aと終端に位置する画素1bとにおける突き抜け電圧差が減少

し、走査線方向における輝度差は確認されず、高コントラストで均一性に優れた画像を表示することができた。

【0032】また、走査線ドライバL106および走査線ドライバR107を用いて走査線1ラインおきに両側駆動したことにより、柱状スペーサを均等に配置することができたので、セルギャップも均一に保たれることになった。

【0033】なお、本発明の液晶表示装置により解消される配線時定数に起因した画像の表示不良は、大型の高精細液晶表示装置で最も顕著に現れるものであるから、

10 例えは、両側駆動することにより生じる額縁サイズの増大は大きな問題ではない。また、本実施の形態では走査線上に柱状スペーサを設置した場合について説明しているが、信号線上に設置した場合でも同様の効果を得ることができる。さらに、極性反転させた信号電圧を1ラインおきに両側から給電するVライン反転駆動を駆動方式に用いた場合には、額縁サイズを全く変えずに本発明の効果が得られることはいうまでもない。

【0034】

20 【発明の効果】以上、詳述したように、本発明に係る液晶表示装置によれば、第1および第2の基板の間隔を保持する柱状のスペーサ群を第1の基板に平行な面で切断したとき、スペーサ群は第1の断面積を有する第1の群と第1の断面積より小さな第2の断面積を有する第2の群とに分類され、該第1の群を第1または第2のドライバの信号供給端に配置したことにより、第1および第2の基板の間隔を保持する柱状のスペーサ群を被覆した対向電極と信号線群または走査線群とにより形成される容量に基づく信号の遅延を低減できるので、配線時定数に起因した配線方向の輝度ムラを解消し、高コントラストで均一性に優れた画像を表示することが可能な液晶表示装置を提供することができる。

【0035】また、本発明に係る液晶表示装置によれば、第1および第2の基板の間隔を保持する柱状のスペーサ群を第1の基板に平行な面で切断したとき、スペーサ群は第1の断面積を有する第1の群と第1の断面積より小さな第2の断面積を有する第2の群とに分類され、該第1の群の一部を第1または第2のドライバの信号供給端に配置し、該第1の群の他の一部を第1または第3のドライバの信号供給端に配置したことにより、第1および第2の基板の間隔を保持する柱状のスペーサ群を被覆した対向電極と信号線群または走査線群とにより形成される容量に基づく信号の遅延を低減できるので、配線時定数に起因した配線方向の輝度ムラを解消し、高コントラストで均一性に優れた画像を表示することが可能な液晶表示装置を提供することができる。

【0036】さらに、本発明に係る液晶表示装置によれば、第1および第2の基板の間隔を保持する柱状のスペーサ群の密度を第1または第2のドライバの信号供給端50 ほど高めたことにより、第1および第2の基板の間隔を

保持する柱状のスペーサ群を被覆した対向電極と信号線群または走査線群とにより形成される容量に基づく信号の遅延を低減できるので、配線時定数に起因した配線方向の輝度ムラを解消し、高コントラストで均一性に優れた画像を表示することが可能な液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】第1の実施の形態に係る液晶表示素子の構成を示した図である。

【図2】図1に示した液晶表示装置を駆動させたとき、画素1aおよび画素1bにおける突き抜け電圧付近の電圧波形の拡大図を重ねて示した図である。

【図3】第2の実施の形態に係る液晶表示装置の構成を示した図である。

【図4】従来のアクティブマトリクス型液晶表示装置の構成を示した図である。

【図5】図4に示す液晶表示装置の1画素に相当する部分の拡大図を示した図である。

【図6】図4に示す液晶表示装置の柱状スペーサ付近の断面図を示した図である。

【図7】図4に示した液晶表示装置において、走査線301の信号電圧端に位置する画素3aにおけるHコモン反転駆動時の駆動電圧波形図を示した図である。

【図8】図4に示した液晶表示装置において、走査線301の終端に位置する画素3bにおけるHコモン反転駆動時の駆動電圧波形図を示した図である。

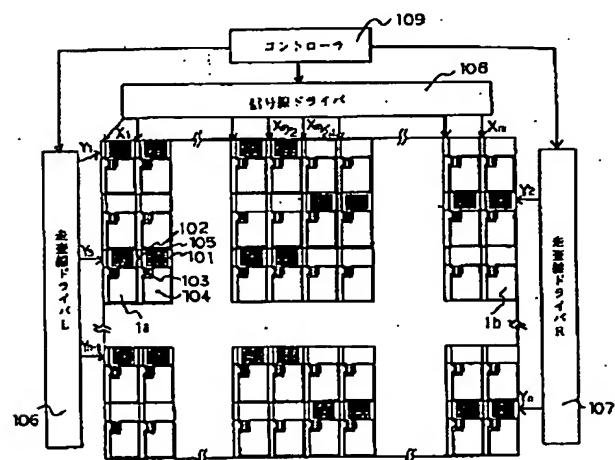
【図9】突き抜け電圧現象付近の画素3aおよび画素3bにおける電圧波形の拡大図を重ねて示した図。

【符号の説明】

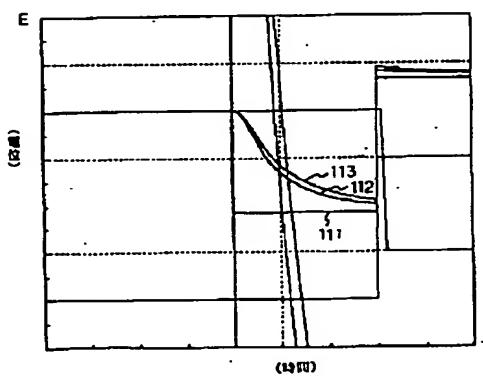
* 101 ……走査線 102 ……信号線 103 ……TFT
 104 ……画素電極 105 ……柱状スペーサ
 106 ……走査線ドライバ 107 ……信号線ドライバR
 108 ……信号線ドライバ 109 ……コントローラ
 110a ~ 110c ……柱状スペーサ
 111 ……画素電極電位 (画素1a)
 112 ……画素電極電位 (画素1b)
 10 113 ……画素電極電位 (画素3b)
 301 ……走査線 302 ……信号線 303 ……TFT
 304 ……画素電極 305 ……柱状スペーサ
 306 ……遮光層 307 ……着色層 (R) 308 ……着色層 (G)
 309 ……着色層 (G)
 310 ……対向電極 311 ……ゲート絶縁膜 312 ……保護膜
 313 ……信号線ドライバ 314 ……走査線ドライバ
 315 ……コントローラ
 316 ……対向基板 317 ……アレイ基板
 401 ……走査線波形 (画素3a) 402 ……信号線波形
 403 ……画素電極電位 (画素3a) 404 ……対向電極電位
 405 ……走査線波形 (画素3b) 406 ……画素電極電位 (画素3b)

*

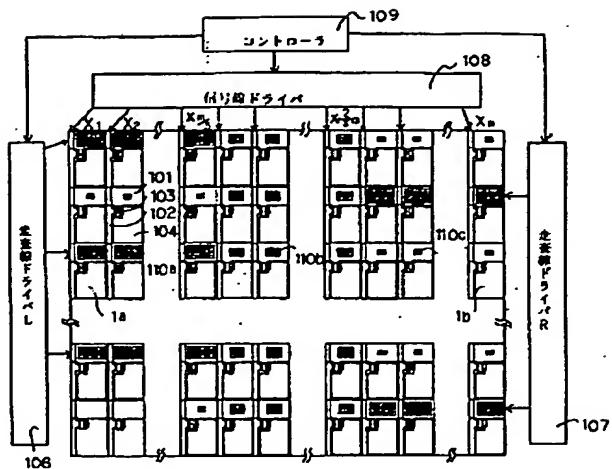
【図1】



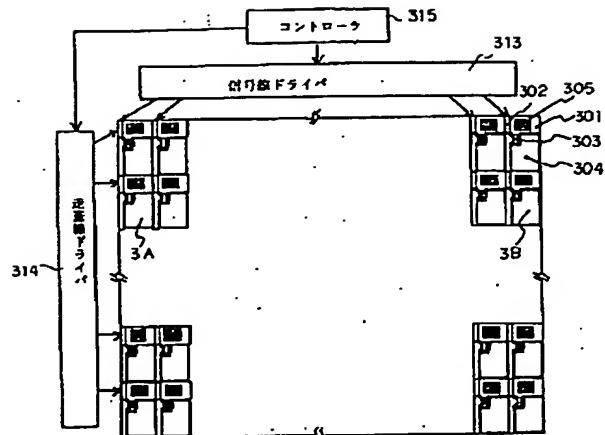
【図2】



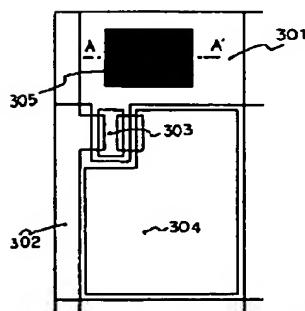
〔図3〕



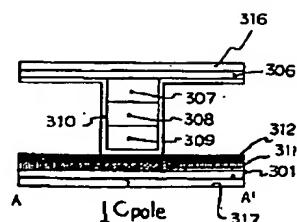
[図4]



〔圖 5〕

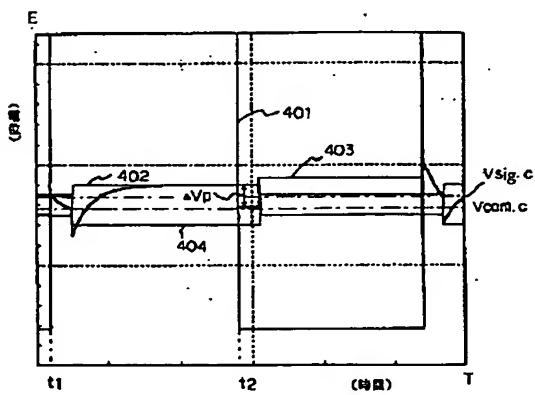


【図6】



[图 8]

【図7】



【図9】

